

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-056174

(43)Date of publication of application : 24.02.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-211625

(71)Applicant : DENSO CORP

(22)Date of filing : 09.08.1996

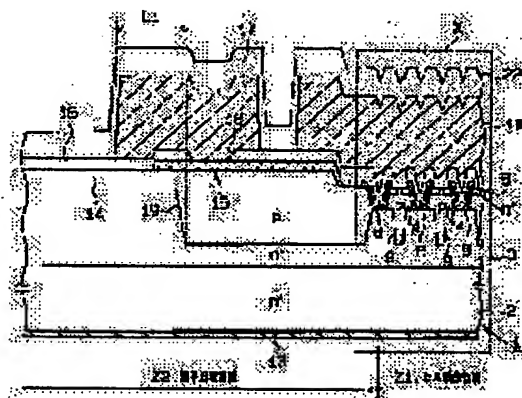
(72)Inventor : YAMAMOTO TAKESHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device which can provide a small chip area by making small the area of a region around a cell formation region.

SOLUTION: A number of unit cells as vertical metal oxide semiconductor field-effect transistors(MOS FETs) having grooves are formed on a semiconductor substrate 1, source electrodes 11 are formed on a front side of the semiconductor substrate, drain electrodes 13 are formed on a rear side of the substrate, and a deep p-well region 19 is extended into an n-type epitaxial layer 3 of the substrate 1 around a cell formation region Z1. An alumina wiring line for a gate electrode of each vertical MOS FET is extended above the deep p-well region 19 around the cell formation region Z1 through oxide films 14 and 16 as extruded outwardly of the deep p-well region 19, and the alumina wiring line 17 of the gate electrode is used as a field plate.



LEGAL STATUS

[Date of request for examination]

29.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56174

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl.⁶

H 0 1 L 29/78

図別記号

庁内整理番号

9447-4M

9447-4M

F I

H 0 1 L 29/78

技術表示箇所

6 5 2 P

6 5 3 A

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特開平8-211625

(22) 出願日

平成8年(1996) 8月9日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 山本 剛

愛知県刈谷市昭和町1丁目1番地 日本国

株式会社内

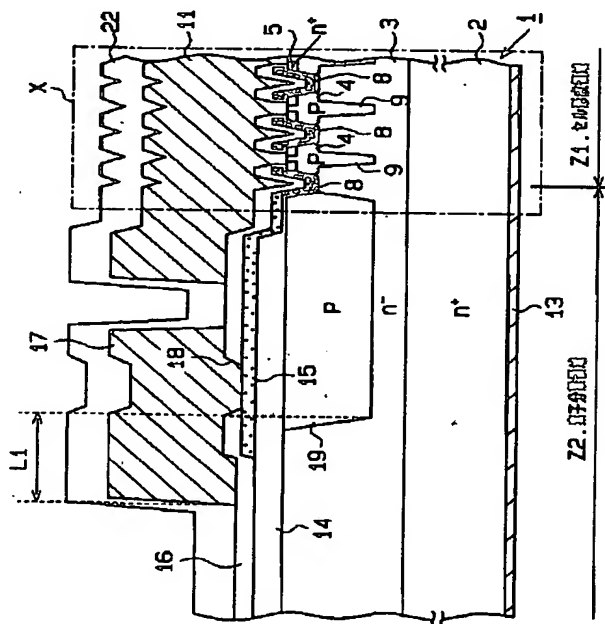
(74) 代理人 弁理士 風田 裕宣

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる半導体装置を提供する。

【解決手段】半導体基板1に溝6を有する縦型MOSFETのユニットセルが多数形成されるとともに半導体基板1の表面にソース電極11が、半導体基板1の裏面にドレイン電極13が形成され、このセル形成領域Z1の周囲において半導体基板1のn⁻型エピタキシャル層3にディープpウェル領域19が延設されている。セル形成領域Z1の周囲におけるディープpウェル領域19の上に酸化膜14、16を介して縦型MOSFETのゲート電極のアルミ配線17がディープpウェル領域19よりも外側に張り出した状態で延設され、ゲート電極のアルミ配線17をフィールドプレートとして用いている。



【特許請求の範囲】

【請求項1】 半導体基板にMOSFETのユニットセルが多数形成されるとともに半導体基板の表面にソース電極が形成され、さらに、前記セル形成領域の周囲において半導体基板の表層部に当該表層部の導電型とは逆導電型の素子分離用不純物拡散領域が延設されるとともに当該不純物拡散領域の上に酸化膜を介してフィールドプレートが不純物拡散領域よりも外側に張り出した状態で延設された半導体装置において、前記セル形成領域の周囲における前記不純物拡散領域の上に酸化膜を介してMOSFETのゲート電極の金属配線を不純物拡散領域よりも外側に張り出した状態で延設し、ゲート電極の金属配線をフィールドプレートとして用いたことを特徴とする半導体装置。

【請求項2】 前記ソース電極を前記セル形成領域の角部から外方に延設し、当該角部外方にてソース電極延設部と不純物拡散領域とを電気的に接続した請求項1に記載の半導体装置。

【請求項3】 半導体基板にMOSFETのユニットセルが多数形成されるとともに半導体基板の表面にソース電極が形成され、さらに、前記セル形成領域の周囲において半導体基板の表層部に当該表層部の導電型とは逆導電型の素子分離用不純物拡散領域が延設されるとともに当該不純物拡散領域の上に酸化膜を介してフィールドプレートが不純物拡散領域よりも外側に張り出した状態で延設された半導体装置において、前記セル形成領域の周囲における前記不純物拡散領域の上に酸化膜を介してMOSFETのポリシリコンゲート電極を不純物拡散領域よりも外側に張り出した状態で延設し、ポリシリコンゲート電極延設部をフィールドプレートとして用いたことを特徴とする半導体装置。

【請求項4】 前記MOSFETは溝を有するものである請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記MOSFETのユニットセルはその平面形状が四角形である請求項1～3のいずれか1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力用半導体素子として用いられる半導体装置、すなわち縦型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) 等に係り、その用途としては、例えば電力用半導体素子を組み込んだMOSIC等がある。

【0002】

【従来の技術】縦型パワーMOSFETは、周波数特性が優れ、スイッチング速度が速く、かつ低電力で駆動できる等多くの特長を有することから、近年多くの産業分野で使用されている。例えば、日経マグロウヒル社発行

“日経エレクトロニクス”の1986年5月19日号、pp. 165-188には、パワーMOSFETの開発の焦点が低耐圧品および高耐圧品に移行している旨が記載されている。さらに、この文献には、耐圧100V以下のパワーMOSFETチップのオン抵抗は、10mΩレベルまで低くなってきていることが記載されており、この理由として、パワーMOSFETの製造にLSIの微細加工を利用したり、そのセルの形状を工夫したりすることにより、面積当たりのチャネル幅が大きくとれるようになったことにある旨が述べられている。又、この文献には主流であるDMOS型(二重拡散型)セルを使用した縦型パワーMOSFETを中心に述べられている。その理由は、DMOS型はチャネル部分にシリコンウエハの平坦な主表面をそのまま使用することを特長とするプレーナプロセスにより作製されるため、歩留まりが良くコストが安いという製造上の利点があるからである。

【0003】一方、縦型パワーMOSFETの普及に伴って低損失化、低コスト化がさらに求められているが、微細加工やセルの形状の工夫によるオン抵抗低減は限界にきている。例えば、特開昭63-266882号公報によると、DMOS型においては微細加工によりユニットセルの寸法を小さくしてもオン抵抗がそれ以上減少しない極小点があり、その主原因がオン抵抗の成分を成すJFET抵抗の増加であることが分かっている。DMOS型において、特開平2-86136号公報に示されているように、現在の微細加工技術の下ではオン抵抗が極小点をとるユニットセルの寸法は15μm付近である。

【0004】この限界を突破するために種々の構造が提案されている。それらに共通した特徴は素子表面に溝を形成し、その溝の側面にチャネル部を形成した構造であり、この構造により前述のJFET抵抗を大幅に減少させることができる。さらに、この溝の側面にチャネル部を形成した構造においては、ユニットセル寸法を小さくしてもJFET抵抗の増大は無視することができるため、特開昭63-266882号公報に記載されたようなユニットセル寸法の縮小に対してオン抵抗が極小点をとるという限界が無く、15μmを切って微細加工の限界まで小さくすることができる。

【0005】このように、溝の側面にチャネル部を形成する構造の従来の製造方法として例えば特開昭61-199666号公報に開示されているようにRIE(反応性イオンエッチング)で溝を形成し、その溝の側面にチャネル部を形成した、いわゆるトレンチ構造のものがある。ここで、RIEはプロセスの制御性の優れた物理的なエッチングである。すなわちRIEは、ガス雰囲気中に置かれた半導体基板の上下に電極を配置して前記電極間に高周波電力を印加すると、ガスが電子とイオンとに電離する。この電極間での電子とイオンの移動度の大きな違いによって半導体基板上部に陰極降下が生じる。そ

してこの陰極降下によって電界を生じさせ、この電界によって前記イオンを半導体基板方向に加速させ、被エッチング面に物理的に衝突させてそのエネルギーで半導体基板をエッチングするものである。そして、R I Eは電離したガスを加速させるため、前記半導体基板上に絶対値にして10V～500V程度の陰極降下が発生するように前記電極間に高周波電力が印加される。R I Eにおいては電離したガスをある一定方向に加速させるため、非常に優れた異方性を有しサイドエッチが起こりにくいという特徴がある。しかしながら、R I Eにおいては、物理的に電離されたガスを半導体基板に衝突させるため、エッチングされた面に格子欠陥が必然的に発生し、移動度が下がり結果としてオン抵抗が増加してしまうという問題がある。

【0006】ここで格子欠陥が発生いく半導体装置として、例えば国際公開WO93/03502号や特開昭62-12167号公報に開示されているようにウェットエッチングを用いて製造した半導体装置がある。これらの形状は、トレンチ形状に対してバスタブ形状といわれる。

【0007】

【発明が解決しようとする課題】このように、J F E T抵抗をなくした構造である溝を形成したD M O S F E Tでは、従来のプレーナD M O S F E Tに対して、1/2以下に特性オン抵抗を低減することができる。従って、溝を形成したD M O S F E Tによりチップを作製した場合、オン抵抗を同一にするには、チップ面積は約1/2にでき、チップサイズを小さくすることができる。しかしながら、チップ面積のうちセル面積は1/2以下になるものの、セル形成領域の周囲の領域（ゲート電極引出線領域や耐圧構造領域）の面積は変わらない。従って、特性オン抵抗が低減するほど、チップ面積を小さくできるが、セル形成領域の周囲の領域がチップの面積に占める割合が大きくなってくる。このため、セル形成領域の周囲の領域も面積を低減することが重要な課題になってくる。

【0008】具体例を図9、10を用いて説明する。チップにおけるセル形成領域Z 1の回りには素子分離領域Z 2が形成され、素子分離領域Z 2には内側のゲート電極引出線領域Z 3と外側の耐圧構造領域Z 4とを備えている。ゲート電極引出線領域Z 3にはゲート電極用アルミ配線（引出し線）5 1が延設され、アルミ配線5 1がポリシリコンゲート電極5 2と接続され、アルミ配線5 1によりゲート信号が時間遅れなく伝搬する。即ち、配線材としてのポリシリコンは金属（アルミ）に比べて抵抗が2桁程度高く、このため、アルミ配線5 1を周囲に配置することによってゲート信号の伝搬を速くしている。又、素子分離領域Z 2にはディープpウェル領域5 3が形成され、ディープpウェル領域5 3は耐圧構造領域Z 4に形成されたアルミ配線5 4と接続されている。

【0009】又、アルミ配線5 4はソース電極5 5と接続されるとともに、ディープpウェル領域5 3から距離L 10だけ外側に張り出しており、アルミ配線5 4がフィールドプレートとして機能している。これにより100V程度のドレイン・ソース間耐圧が得られる構造となっている。ところが、素子分離領域Z 2において、ソース電極5 5と接続されたアルミ配線（フィールドプレート）5 4とゲート電極用アルミ配線5 1が個別に設けられているため、素子分離領域Z 2が幅200μm程度と大きくなっていった。

【0010】そこで、この発明の目的は、セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる半導体装置を提供することにある。

【0011】

【課題を解決するための手段】請求項1に記載の発明は、セル形成領域の周囲における素子分離用不純物拡散領域の上に酸化膜を介してM O S F E Tのゲート電極の金属配線を不純物拡散領域よりも外側に張り出した状態で延設し、ゲート電極の金属配線をフィールドプレートとして用いたことを特徴としている。よって、セル形成領域の周囲において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）5 4とアルミ配線5 1とを個別に備えた場合に比べて、セル形成領域の周囲の素子分離領域の幅を狭くでき、セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる。

【0012】ここで、請求項2に記載のように、ソース電極をセル形成領域の角部から外方に延設し、当該角部外方にてソース電極延設部と素子分離用不純物拡散領域とを電気的に接続すると、角部以外でソース電極延設部と素子分離用不純物拡散領域とを接続する場合に比べ無駄なコンタクトスペースが無くなる。

【0013】請求項3に記載の発明は、セル形成領域の周囲における素子分離用不純物拡散領域の上に酸化膜を介してM O S F E Tのポリシリコンゲート電極を不純物拡散領域よりも外側に張り出した状態で延設し、ポリシリコンゲート電極延設部をフィールドプレートとして用いたことを特徴としている。よって、セル形成領域の周囲において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）5 4とアルミ配線5 1とを備えた場合に比べてセル形成領域の周囲の素子分離領域の幅を狭くでき、セル形成領域の周辺領域を小面積化してチップ面積を小さくすることができる。

【0014】請求項1～3の半導体装置において、M O S F E Tのユニットセルの平面形状を四角形とすると、セル形成領域Z 1の形状を矩形にでき、セル形成領域Z 1の外周部（境界部）を直線化できる。そのためM O S F E Tのユニットセルの平面形状を四角形以外の形状とした場合に比べ、素子分離領域の面積を小さくできる。

【0015】

【発明の実施の形態】

(第1の実施の形態) 以下、この発明の第1の実施の形態を図面に従って説明する。

【0016】図1は、本実施の形態の縦型パワーMOSFET(チップ)の平面図である。チップの中央部にはセル形成領域Z1が形成され、セル形成領域Z1にユニットセルが縦横に規則正しく多数配置されている。ユニットセルは、その平面形状が略正方形であり、ピッチ(寸法)Pが10~16 μ m程度である。セル形成領域Z1はその平面形状が長方形をなしている。

【0017】図2には、図1でのチップ角部の拡大図を示す。図3には図2のA-A断面図を示し、図4には図2のB-B断面図を示し、図5には図2のC-C断面図を示す。

【0018】図3~図5に示すように、チップ(半導体基板)1において、 n^+ 型シリコン基板2の上には n^- 型エピタキシャル層3が形成されている。 n^+ 型シリコン基板2は不純物濃度が $2 \times 10^{11} \text{ cm}^{-3}$ 程度で厚さが100~400 μ mである。 n^- 型エピタキシャル層3は不純物濃度が 10^{12} cm^{-3} 程度で厚さが7 μ m前後である。半導体基板1のセル形成領域Z1の周辺部には素子分離領域(外周部)Z2が形成され、素子分離領域(外周部)Z2はその幅が150 μ m程度である。図10に示した従来の構造では素子分離領域Z2の幅が200 μ m程度であったが、本例では150 μ m程度に短くなっている。セル形成領域Z1を拡大したもの(図3のX部拡大図)を図6に示す。この図6を用いてセル形成領域Z1を説明する。

【0019】 n^- 型エピタキシャル層3の表層部においては、深いp型のベース領域4および浅い n^+ 型のソース領域5が形成されている。半導体基板1における上面(表面)には溝6が形成され、この溝6の側面6aは斜状(テーパ状)となっている。又、溝6の底面6bは n^- 型エピタキシャル層3の配置領域にあり、溝6の側面6aにベース領域4およびソース領域5が形成されている。このように溝6の側面6aにおける上部にソース領域5が形成されるとともにソース領域5の下にベース領域4が形成されている。p型ベース領域4は深さが1 μ m程度であり、 n^+ 型ソース領域5は深さが0.5 μ m程度である。そして、溝6の側面6aに0.5 μ m程度のチャンネルが設定される。ベース領域4とソース領域5とは二重拡散により形成されたものである。

【0020】さらに、溝6の底面6bと側面6aとの角部は丸みを有し、さらに、溝6の側面6aと半導体基板1の表面との角部も丸みを有している。この溝形状は、LOCOS酸化膜にて溝6を形成することにより得られるものである。この溝6をコンケイブ(concave)と呼び、本実施の形態のMOSFETはコンケイブ型MOSFETとなっている。この溝6によりオン抵抗の低減が図られる。

【0021】溝6の内壁面、および溝6の周辺部におけるソース領域5の表面には、ゲート絶縁膜としての薄いシリコン酸化膜7が形成されている。溝6の内部および溝6の周辺部におけるシリコン酸化膜7の上にはポリシリコンゲート電極8が配置されている。このように、溝6の側面6aと半導体基板1の表面との角部に対向してゲート絶縁膜としてのシリコン酸化膜7を介してポリシリコンゲート電極8が延設されている。溝6の内壁のシリコン酸化膜(ゲート酸化膜)7は厚さが40~60nm程度であり、ポリシリコンゲート電極8の厚さは400nm程度である。

【0022】 n^- 型エピタキシャル層4におけるp型ベース領域4の中央部には周囲よりも深いp型ウェル領域(ディープpウェル領域)9が形成されている。このp型ウェル領域9によりドレイン・ソース間に高電圧が印加されたときに、p型ベース領域4の底面の中央部でブレークダウンが起こるようになっている。

【0023】さらに、ポリシリコンゲート電極8の上にはBPSG等の層間絶縁膜10が配置されている。層間絶縁膜10は厚さが1 μ m程度である。層間絶縁膜10の上にはアルミ等よりなるソース電極(エミッタ電極、カソード電極)11が配置され、ソース電極11はコンタクトホール(開口部)12を通してソース領域5およびベース領域4と接している。

【0024】又、半導体基板1の裏面にはドレイン電極(コレクタ電極、アノード電極)13が配置されている。図3, 4, 5に示すように、素子分離領域Z2において、半導体基板1の表面に厚さ1 μ m程度のLOCOS酸化膜(フィールド酸化膜)14が形成されている。LOCOS酸化膜14の上には、ポリシリコンゲート電極8から延びるポリシリコンゲート電極延設部15が配置されている。ポリシリコンゲート電極延設部15の上を含むLOCOS酸化膜14の上にはシリコン酸化膜16が配置されている。このシリコン酸化膜16の上には金属配線としてのアルミ配線17が配置され、アルミ配線17は図2に示すように素子分離領域Z2の角部以外の箇所において延設されている。

【0025】図3に示すように、ポリシリコンゲート電極延設部15はコンタクトホール(開口部)18を通してアルミ配線17と接続されている。アルミ配線17は図1に示すように、ゲートパッド23と接続されている。

【0026】又、図3, 4, 5に示すように、素子分離領域Z2において、 n^- 型エピタキシャル層3には素子分離用不純物拡散領域としてのディープpウェル領域19が素子分離領域Z2の全域(全周)にわたり延設されている。ディープpウェル領域19はセル形成領域Z1のp型ウェル領域9と同時に形成される。図2, 5に示すように、シリコン酸化膜16の上においてソース電極11に対しセル形成領域Z1の角部から外方に向かって

アルミ21が延設され、素子分離領域Z2の角部においてコンタクトホール（開口部）20を通してソース電極延設部21とディープpウェル領域19とが接続されている。図2に示すように、アルミ配線（ゲート電極引出し線）17とソース電極延設部21とは間隔40をおいて離間しており、両者は絶縁されている。

【0027】さらに、図3、4、5に示すように、ソース電極11、ソース電極延設部21およびアルミ配線17の上にはパッシベーション膜22が配置されている。又、図2、3に示すように、四角形をなす素子分離領域Z2の辺の部分においては、アルミ配線17の外側端がディープpウェル領域19の外周端から距離L1だけ外側に位置しており、アルミ配線17がフィールドプレートとして機能している。

【0028】つまり、パワーMOSFETのドレイン・ソース間の耐圧が問題となる場合は、モータなどのL負荷の駆動時にデバイスをオン状態からオフ状態にするためにゲート電圧をソース電位に変化させた時である。この時、L負荷により生じる逆起電力、即ち、はねあがり電圧がドレインに印加される。図3の構造では、アルミ配線（ゲート電極引出し線）17がポリシリコンゲート電極8と接続されている。従って、デバイスのオン状態ではデバイスを動作させるために必要な数Vがアルミ配線17に印加されているが、ドレイン電極13にはチップのオン電圧、即ち、高々数V程度の電圧が印加されているにすぎず、外周の耐圧構造は、この場合あまり問題が無い。オフ時には、ドレイン電極13には数十Vのはねあがり電圧が印加されるが、アルミ配線17はソース電位に固定されているため、アルミ配線17の代わりにソース電極によりフィールドプレートを形成した場合と全く同一の耐圧を得ることができる。従って、アルミ配線17をフィールドプレートとして用いることができ、耐圧構造領域の耐圧を維持したまま、図10に示した従来構造における素子分離領域（外周部）Z2の幅を小さくできる。つまり、図10に示した従来構造においては、ソース電極55に接続されたアルミ配線54とゲート電極引出し線51とを個別に備えたが、これに対し、図3に示すように、本実施の形態ではチップの外形のサイズを小さくできる（素子分離領域Z2の幅を、150 μ m程度にできる）。

【0029】又、図2、5に示すように、四角形をなす素子分離領域Z2の角の部分においては、ソース電極延設部21の外側端がディープpウェル領域19の外周端から距離L3だけ外側に位置しており、ソース電極延設部21がフィールドプレートとして機能している。よって、図10に示した従来構造におけるゲート電極引出し線51が不要となるため、素子分離領域（外周部）Z2の幅を小さくできる。つまり、角部以外でソース電位に固定した場合に生じる無駄なディープpウェル領域19とソース電極11とのコンタクトスペースが無くなるた

めチップサイズを小さくできる。

【0030】又、チップ内には複数の角部があるため、この各角部をコンタクト部としてディープpウェル領域19の電位をソース電位に固定すると、チップ内で均一に電位を固定することができる。このようにすると、スイッチング時にドレイン電極にドレイン・ソース間電圧以上の電圧が印加された場合に、局所的にアバランシェブレイクダウンが発生せずチップ面内で均一にアバランシェブレイクダウンが発生するため、破壊耐量を高くすることができる。

【0031】尚、角部以外の図3で示す箇所においてセル形成領域Z1とアルミ配線17（ゲート電極引出し線）を最短で接続しているため、チップのスイッチング速度は従来構造の図10と変わらない（スイッチング速度の低下は回避される）。

【0032】さらに、図2、4に示すように、四角形をなす素子分離領域Z2の辺の部分と角の部分の境界部分においては、ポリシリコンゲート電極延設部15の外側端はディープpウェル領域19の外周端から距離L2だけ外側に位置しており、ポリシリコンゲート電極延設部15がフィールドプレートとして機能し、この張り出し部分L2により耐圧構造を得ている。

【0033】つまり、この箇所（図2の間隔40を設けた箇所）においてはソース電極延設部21とアルミ配線（ゲート電極引出し線）17を絶縁しており、この箇所ではポリシリコンゲート電極延設部15をフィールドプレートとして用いている。厳密に述べると、図4の構造は、フィールドプレート（15）の下部の酸化膜の厚みが図3に比べシリコン酸化膜（層間絶縁膜）16の分だけわずかに薄くなる。従って、ドレイン電極13に電圧を印加した場合にシリコン表面の電界強度が図3の構造より上昇する。そのため、耐圧は、図3の構造よりわずかに低下する。しかし、この低下は、図4のフィールドプレート（15）の張り出し長さL2を図3の長さL1より長くすることによりシリコン表面の電界強度を緩和することができ耐圧を図3と等しくすることができる。つまり、素子分離領域Z2の全周にわたりフィールドプレート張り出し長さL1、L2、L3を調整することにより、チップ外周の耐圧を全域で等しくしている。

【0034】このようにして図4の断面構造では、図10に示した従来構造でのゲート電極用アルミ配線51、およびディープpウェル領域53とアルミ配線54のコンタクトスペースが無くなるため、図10に示した従来構造における素子分離領域（外周部）Z2の幅を小さくできる。

【0035】このように本実施の形態は、下記の特徴を有する。

（イ） 図3に示すように、セル形成領域Z1の周囲におけるディープpウェル領域（素子分離用不純物拡散領域）19の上に酸化膜14、16を介して縦型MOSF

ETのポリシリコンゲート電極8のアルミ配線（金属配線）17をディープpウェル領域19よりも外側に張り出した状態で延設し、アルミ配線17をフィールドプレートとして用いたので、セル形成領域Z1の周囲の素子分離領域Z2において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）54とアルミ配線51とを個別に備えた場合に比べて、素子分離領域Z2の幅を狭くでき、素子分離領域Z2を小面積化してチップ面積を小さくすることができる。

（ロ） 図5に示すように、ソース電極11をセル形成領域Z1の角部から外方に延設し、角部外方にてソース電極延設部21とディープpウェル領域（素子分離用不純物拡散領域）19とを電氣的に接続したので、角部以外でソース電極延設部とディープpウェル領域19とを接続する場合に比べ無駄なコンタクトスペースが無くなる。

（ハ） 図4に示すように、素子分離領域Z2におけるディープpウェル領域（不純物拡散領域）19の上にLOCOS酸化膜14を介して縦型MOSFETのポリシリコンゲート電極8をディープpウェル領域19よりも外側に張り出した状態で延設し、ポリシリコンゲート電極延設部15をフィールドプレートとして用いたので、素子分離領域Z2において、図10に示したソース電極と接続されたアルミ配線（フィールドプレート構成体）54とアルミ配線51とを備えた場合に比べて素子分離領域Z2の幅を狭くでき、素子分離領域Z2を小面積化してチップ面積を小さくすることができる。

（ニ） MOSFETのユニットセルの平面形状が四角形（正方形）となっているので、セル形成領域Z1の形状を矩形（長方形）にでき、セル形成領域Z1の外周部（境界部）を直線化できる（凹凸のない形状にできる）。そのためMOSFETのユニットセルの平面形状を四角形以外の形状とした場合に比べ、素子分離領域（耐圧構造領域）の面積を小さくできる。

【0036】尚、ユニットセルの形状は略正方形であったが、三角形や五角以上の多角形や円形でもよい。又、帯状（ストライプ形状）でもよい。

（第2の実施の形態）次に、この発明の第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0037】図7は、第1の実施の形態の図2に代わる本実施の形態の縦型パワーMOSFET（チップ）の平面図である。図8は図7のD-D断面図であり、図7のE-E断面は図3と同じである。

【0038】上記第1の実施の形態ではセル形成領域Z1の角部外方にてソース電極延設部21とディープpウェル領域（素子分離用不純物拡散領域）19とを電氣的に接続したが、本例では図7に示すように、角部以外の素子分離領域Z2においてポリシリコンゲート電極8のアルミ配線（金属配線）17よりもセル側でポリシリコンゲート電極延設部15の無い領域24（図8に示す）

を設け、この領域24においてソース電極延設部25とディープpウェル領域（素子分離用不純物拡散領域）19とをコンタクトホール（開口部）26を通して電氣的に接続している。この構造においても図10に示したゲート電極と接続されたアルミ配線54とアルミ配線51とを備えた場合に比べて素子分離領域Z2の幅を狭くでき、素子分離領域Z2を小面積化してチップ面積を小さくすることができる。さらにこの構造を用いると、素子分離領域Z2の角部においてソース電極延設部（21）とディープpウェル領域（不純物拡散領域）19とを電氣的に接続していないためポリシリコンゲート電極8のアルミ配線（金属配線）17をチップ外周全域につなげて形成することができるためチップ全域にゲート信号を高速に伝えることができる。さらに、フィールドプレート構造はゲート電極と接続されたアルミ配線17のみにより形成されるようになり、フィールドプレート構造の耐圧はチップ面内で完全に等しくなるため、フィールドプレート構造の耐圧より高い電圧がドレイン・ソース間に加わった場合においてもチップ面内で均一にアバランシェブレイクダウンが発生するため破壊耐量を高くすることができる。

【0039】これまで説明した各実施の形態の他にも次のように実施してもよい。上記実施の形態では、nチャネル型について説明したが、n型とp型の半導体の導電型を入れ換えたpチャネル型についても同様の効果が得られることは言うまでもない。

【0040】さらに、溝を有する縦型MOSFET以外にも、ラテラルDMOSFETを含む横型パワーMOSFET、あるいは溝のないプレーナ型のMOSFETに適用してもよい。

【0041】さらには、上記実施の形態では、縦型パワーMOSFETのみを用いたICについて説明したが、それに限定されるものではなく、このような縦型パワーMOSFETを組み込んだパワーMOSICに適用してもよい。

【0042】又、上記実施の形態では、半導体基板としてn⁺型半導体基板を用いた縦型パワーMOSFETについて説明したが、p⁺型半導体基板を用いた絶縁ゲート型バイポーラトランジスタ（IGBT）のゲート構造にも適用することができる。

【図面の簡単な説明】

【図1】 実施の形態の縦型パワーMOSFETの平面図。

【図2】 図1でのチップ角部の拡大図。

【図3】 図2のA-A断面図。

【図4】 図2のB-B断面図。

【図5】 図2のC-C断面図。

【図6】 図3のX部拡大図。

【図7】 第2の実施の形態におけるチップ角部の拡大平面図。

【図8】 図7のD-D断面図。

【図9】 従来の縦型パワーMOSFETの平面図。

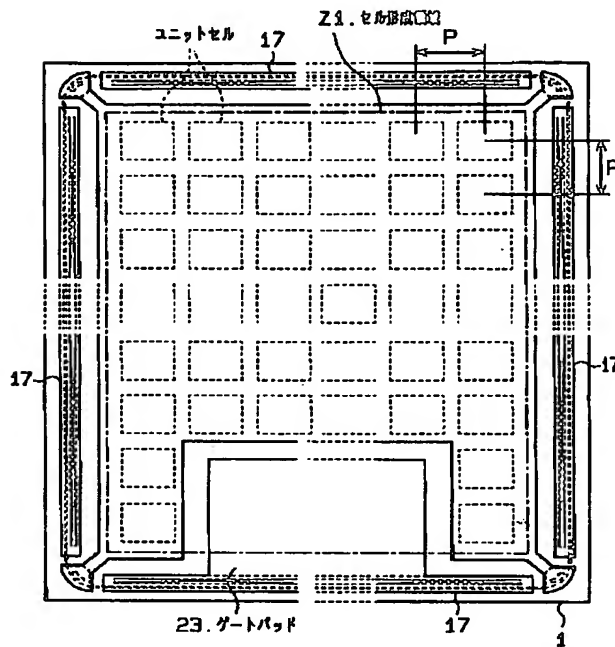
【図10】 図9のF-F断面図。

【符号の説明】

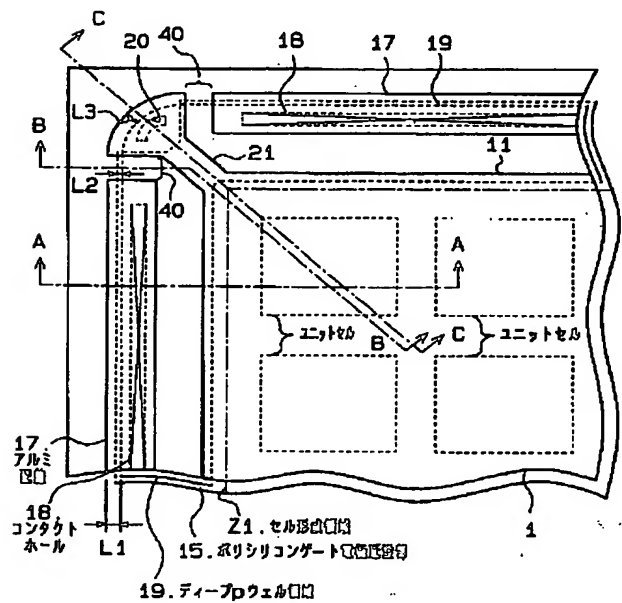
1…半導体基板、6…溝、8…ポリシリコンゲート電極、11…ソース電極、13…ドレイン電極、14…L

OCOS酸化膜、15…ポリシリコンゲート電極延設部、16…シリコン酸化膜、17…金属配線としてのアルミ配線、19…素子分離用不純物拡散領域としてのディープpウェル領域、21…ソース電極延設部、Z1…セル形成領域、Z2…素子分離領域。

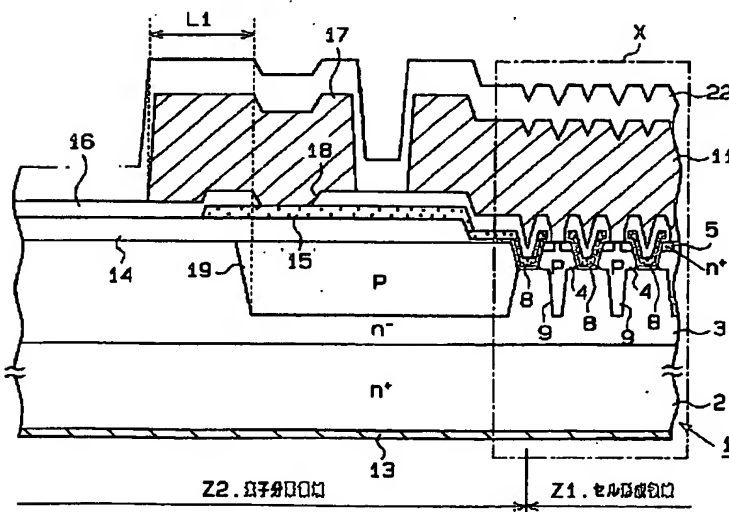
【図1】



【図2】



【図3】



【図10】

